

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»

Кафедра автоматизированных систем управления (АСУ)

УТВЕРЖДАЮ

Зав. кафедрой АСУ, профессор



А.М. Корилов

АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ

Тема 4. Устройства сопряжения, шины

Учебно-методическое пособие

для студентов уровня основной образовательной программы: **магистратура**
направление подготовки: **09.04.01 - Информатика и вычислительная техника**

Разработчик
доцент кафедры АСУ

В.Г. Резник

2017

Резник В.Г.

Архитектура вычислительных комплексов. Тема 4. Устройства сопряжения, шины. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 23 с.

Учебно-методическое пособие предназначено для изучения темы №4 по дисциплине «Архитектура вычислительных комплексов» для студентов уровня основной образовательной программы магистратура направления подготовки: 09.04.01 «Информатика и вычислительная техника».

Оглавление

Введение.....	4
1 Тема 4. Устройства сопряжения, шины.....	5
1.1 Шины и Системы ввода/вывода.....	5
1.2 Основные характеристики шин.....	8
1.2.1 Тактовая частота шины.....	8
1.2.2 Разрядность передачи данных.....	8
1.2.3 Скорость передачи данных.....	9
1.3 Краткий обзор шин.....	11
1.3.1 Шина ISA.....	11
1.3.2 Шина EISA.....	13
1.3.3 VLB.....	14
1.3.4 Шина PCI.....	14
1.3.5 Шина AGP.....	16
1.3.6 Шина PCI Express.....	17
Список использованных источников.....	22

Введение

Данное методическое пособие содержит учебный материал по четвертой теме дисциплины «*Архитектура вычислительных комплексов*», - сокращенно АВК.

Изложенный материал является обязательной частью процесса обучения магистранта по направлению подготовки 09.04.01 «Информатика и вычислительная техника» и содержит теоретическую часть, шинной архитектуре ЭВМ.

Последовательность и тематическая направленность учебного материала данного пособия предполагает, что магистрант успешно освоил теоретический материал по первым трем темам дисциплины.

Весь теоретический материал данного пособия представлен одним разделом, в подразделах которого рассматриваются следующие вопросы:

- Шины и системы ввода-вывода.
- Основные характеристики шин.
- Краткий обзор шин: ISA, EISA, VLB, PCI, AGP и шина PCI-Express.

Изложение теоретической части данного пособия объявлено по теме «*Устройства сопряжения, шины*», которое рассчитано на 2 академических часа.

Лабораторных работ по данной теме - не предусмотрено.

1 Тема 4. Устройства сопряжения, шины

Основные параметры интерфейса.

Арбитраж шины.

Блочные циклы шины. Протоколы передачи.

Пакетный режим пересылки, конвейеризация транзакций.

Многоуровневая система шинного интерфейса: процессор-память, системная, ввода-вывода.

Типы шин ПК Intel. ISA, SCSI, PCI, USB.

Согласование шин, мосты.

1.1 Шины и Системы ввода/вывода

Третьим ключевым элементом архитектуры вычислительного комплекса (**ВК**), помимо центрального процессора (**ЦП**) и основной памяти (**ОП**), является *система ввода/вывода* (**СВВ**).

Фактически, любой **ВК** можно рассматривать с позиции:

- вычислителя;
- хранилища информации;
- системы коммуникаций между **ЦП**, **ОП** и внешними системами.

На рисунке 1.1, представлена обобщенная схема взаимодействия элементов памяти отдельной ЭВМ.

Хорошо видно, что *для обеспечения нужного уровня быстродействия* ЭВМ, ее память образует сложную иерархическую структуру, существенно влияющую на общую архитектуру **ВК**.

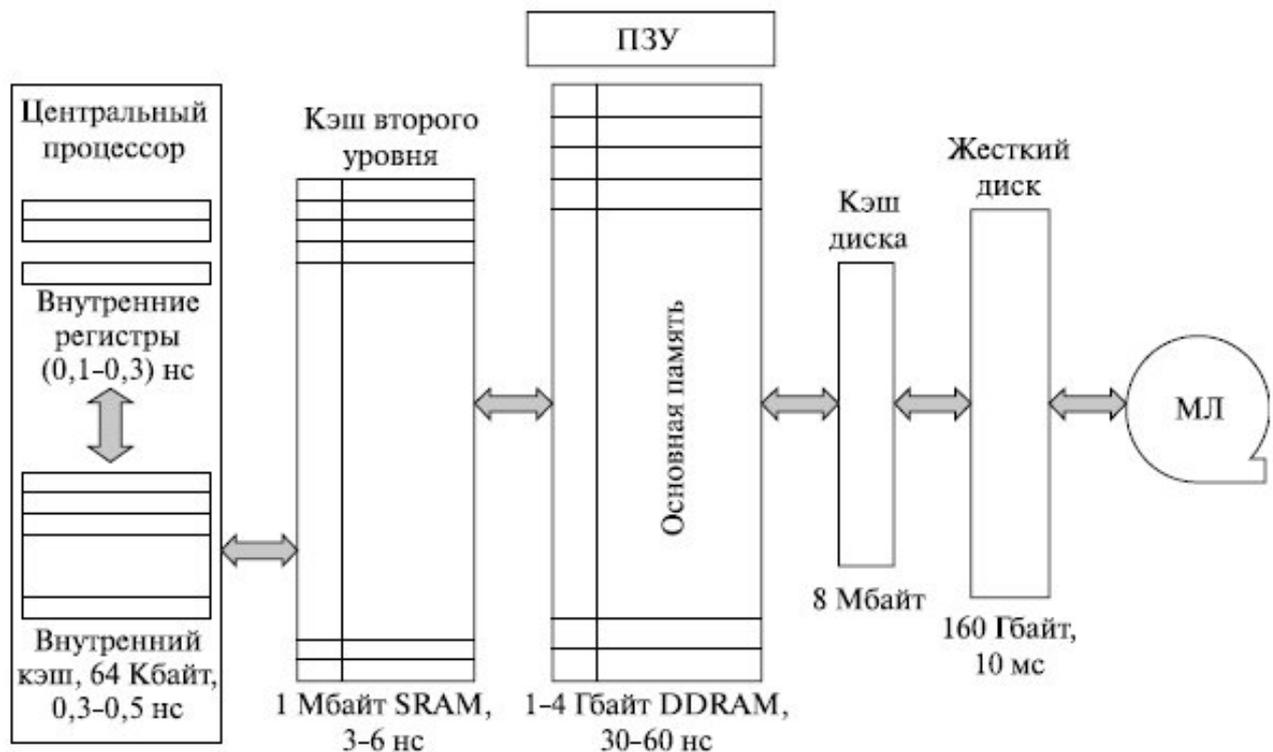


Рисунок 1.1 — Схема взаимодействия памяти ЭВМ

Выделяя из общей архитектуры **ВК** систему ввода/вывода, следует отметить, что **СВВ** призвана обеспечить *обмен информацией* между ядром **ВК** и разнообразными *внешними устройствами (ВУ)*.

Технические и программные средства СВВ несут ответственность за *физическое и логическое сопряжение* ядра **ВК** и **ВУ**.

В процессе эволюции ВМ, СВВ уделялось несколько меньшее внимание по сравнению с прочими элементами архитектуры.

Как следствие, возник существенный разрыв в производительности ЦП и ОП, с одной стороны, и скоростью ввода/вывода — с другой.

Технически, СВВ в рамках ВК реализуется комплексом *модулей ввода/вывода (МВВ)*.

Модуль ввода/вывода выполняет сопряжение ВУ с ядром ВК и различные коммуникационные операции между ними.

Две основные функции МВВ:

- обеспечение интерфейса с ЦП и ОП (*«большой» интерфейс*);
- обеспечение интерфейса с одним или несколькими периферийными устройствами (*«малый» интерфейс*).

Попытки стандартизации МВВ, в плане средств и правил сопряжения с ЦП, привели к понятию *шины*.

Шины — *каналы связи*, применяемые для организации взаимодействия между устройствами компьютера.

Замечание

Кстати, *разъемы*, куда вставляются платы расширения - это не шины, а *интерфейсы*, с помощью которых осуществляется подключение к шинам.

Сами шины, зачастую, вообще не видны на материнских платах.

Можно выделить три основных способа подключения СВВ к ядру процессора, показанные на рисунке 1.2 (а, б, в).

Первый вариант — подключение памяти и СВВ к ЦП через отдельные шины.

Это *дает возможность*:

- осуществлять обращение к ОП *одновременно* с выполнением ввода/вывода;
- позволяет *специализировать* каждую из шин;
- *учесть формат* пересылаемых данных;
- особенности *синхронизации обмена* и другое.

Недостатком такого решения можно считать *большое количество точек* подключения к ЦП.



Рисунок 1.2 - Место системы ввода/вывода в архитектуре ВК:

- а — отдельными шинами памяти и ввода/вывода;
- б — с совместно используемыми линиями данных и адреса;
- в — подключение на общих правах с процессором и памятью.

Второй вариант — с совместно используемыми линиями данных и адреса:

- ОП и СВВ *имеют общие* для них *линии адреса* и *линии данных*, разделяя их во времени.
- управление ОП и СВВ, а также синхронизация их взаимодействия с процессором, осуществляются *независимо по отдельным линиям управления*.

Это позволяет учесть особенности процедур обращения к ОП и МВВ, а также добиться наибольшей эффективности доступа к ячейкам памяти и внешним устройствам.

Третий вариант предполагает подключение СВВ к системной шине *на общих правах* с ЦП и ОП.

Потенциально возможен также вариант прямого подключения внешних устройств к системной шине, *без использования МВВ*, но здесь имеется ряд недостатков:

- **Во-первых**, в этом случае ЦП пришлось бы *оснащать универсальными схемами* для управления любым ВУ. При большом разнообразии внешних устройств, имеющих к тому же различные принципы действия, такие схемы оказываются чересчур сложными и избыточными.
- **Во-вторых**, *пересылка данных*, при вводе и выводе, происходит значительно медленнее, чем при обмене между ЦП и памятью, и было бы невыгодно задействовать для обмена информацией с ВУ высокоскоростную системную шину.
- **И наконец**, во внешних устройствах часто используются *иные форматы данных и длина слова*, чем в ВК, к которым они подключены.

1.2 Основные характеристики шин

Существует *три основных показателя* работы шины:

- 1) тактовая частота шины;
- 2) разрядность передачи данных;
- 3) скорость передачи данных.

1.2.1 Тактовая частота шины

Любое цифровое устройство выполняет свои функции под воздействием внешних команд, называемых *тактами*.

Работа любого цифрового компьютера зависит от тактовой частоты, которую определяет *тактовый генератор*.

Тактовый генератор — электронное устройство, вырабатывающее импульсные такты определенной частоты, обычно стабилизируемые *кварцевым резонатором*.

Кварцевый резонатор представляет собой оловянный контейнер, в который помещен кристалл кварца.

Под воздействием электрического напряжения в кристалле возникают колебания электрического тока.

Эта самая частота колебания и называется *тактовой частотой*.

Тактовая частота, применительно к персональным компьютерам, измеряется в МГц:

- *1 Герц* — это одно колебание в секунду;
- *1 МГц* — миллион колебаний в секунду.

Теоретически, если системная шина Вашего компьютера работает на частоте в 100 МГц, то значит она может выполнять до 100 000 000 операций в секунду.

1.2.2 Разрядность передачи данных

Шина состоит из *нескольких каналов* для передачи электрических сигналов.

Если говорят, что шина - *тридцатидвухразрядная*, то это означает, что она способна передавать электрические сигналы по тридцати двум каналам одновременно.

Реально, шина любой заявленной разрядности (8, 16, 32, 64) имеет, на самом деле, большее количество каналов.

То есть, если взять ту же 32-разрядную шину:

- *для передачи собственно данных* выделено 32 канала;
- *дополнительные каналы* предназначены для передачи *специфической информации*, обслуживающей саму работу шины.

1.2.3 Скорость передачи данных

Название этого параметра говорит само за себя.

Оно высчитывается по формуле:

$$\text{Скорость передачи данных} = \text{такты́вая частота} * \text{разрядность_шины}$$

Расчет скорости передачи данных для *64 разрядной* системной шины, работающей *на тактовой частоте в 100 МГц*:

$$100 * 64 = 6400 \text{ Мбит/сек}$$

$$6400 / 8 = 800 \text{ Мбайт/сек}$$

Но полученное число не является реальным.

На шину влияет множество всевозможных факторов:

- *неэффективная* проводимость материалов;
- *помехи*;
- *недостатки* конструкции и сборки, а также многое другое.

По некоторым данным, *разность* между теоретической скоростью передачи данных и практической может составлять *до 25%*.

За работой каждой шины следят специально для этого предназначенные *контроллеры*.

Они входят в состав набора системной логики (*чипсет*).

Соответственно, на материнской плате ЭВМ присутствует несколько шин.

Основной считается *системная шина FSB (Front Side Bus)*.

По этой шине передаются данные между ЦП и ОП, а также между ЦП и остальными устройствами ВК.

Сам ЦП подключался к основной системной шине через собственную, *процессорную шину*.

В современных системах, эти шины стали одним целым.

Фраза: «Моя материнская плата работает на частоте 100 МГц» означает, что именно системная шина работает на тактовой частоте в 100 МГц.

Разрядность FSB равна разрядности ЦП.

Например,

Если Вы используете 64 разрядный процессор, а тактовая частота системной шины 100 МГц, то скорость передачи данных будет равна 800 Мбайт/сек.

Кроме системной шины, на материнской плате есть еще *шины ввода/вывода*, которые отличаются друг от друга по архитектуре.

Перечислю некоторые из них:

1. ISA
2. EISA
3. VLB или VESA
4. PCI
5. AGP
6. PCI Express

На рисунке 1.3 представлена структура шин современной ЭВМ, коротко называемая как *чипсет*.

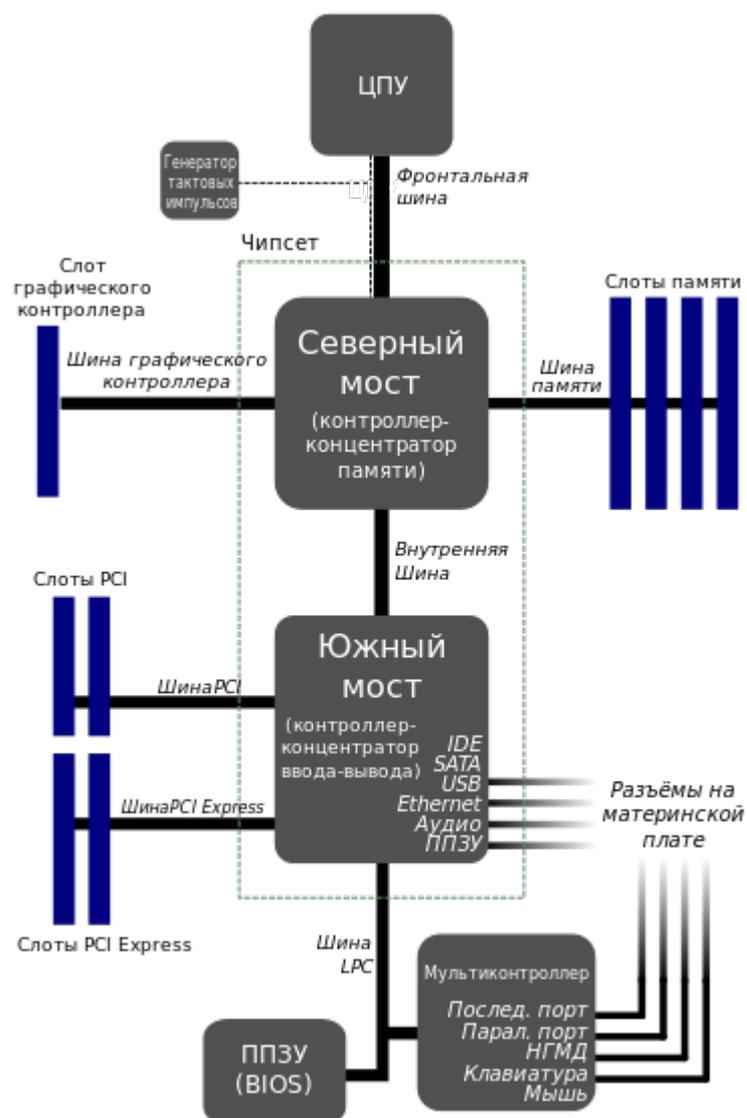


Рисунок 1.3 — Чипсет современного компьютера

1.3 Краткий обзор шин

1.3.1 Шина ISA

ISA (*Industrial Standard Architecture*) – промышленная стандартная архитектура.

Первая 8 разрядная шина ISA появилась в **1981 году**.

8 разрядная ISA применялась в компьютерах класса XT и работала на частоте равной 4,77 МГц.

В 1984 году появился ее 16 разрядный вариант.

16 разрядная шина стала применяться в компьютерах AT с частотой в 8,33 МГц. Сравнение этих двух стандартов приведено в таблице 4.1.

Таблица 4.1 — Сравнительные характеристики стандартов ISA

Параметр	XT	AT
Год появления	1981	1984
Разрядность	8	16
Тактовая частота	4,77 МГц	8,33 МГц
Скорость передачи данных	4 Мбайт/сек	8 Мбайт/сек
Количество контактов в разъеме	62	98

На интерфейс 8 разрядной ISA было выведено:

- 8 каналов данных;
- 20 каналов адреса.

Все это позволяло адресовать до 1 Мбайт памяти.

С появлением процессора 80286, который мог обрабатывать уже 16 бит данных, появилась **необходимость в 16 разрядной ISA**.

Разъем такой ISA был дополнен еще **36 каналами**:

- 8 каналов** были выведены под данные,
- 7 каналов** – под адрес.

Замечание

Некоторые платы расширения ВК, рассчитанные на 8 разрядную шину, могут работать и с 16 разрядной шиной.

Вместе с 16 разрядной ISA, появилось понятие *ключ* – выступ в разъеме и вырез в подключаемой плате, необходимые для правильной их установки.

Проблемы «жизненного цикла» шины ISA обусловлены двумя причинами:

- *до 1987 года* IBM отказывалась публиковать полное описание и временные диаграммы шины ISA;
- *многие производители* аппаратных средств решились на разработку собственных шин.

Так появилась 32 разрядная ISA, которая не нашла применения, но фактически предопределила появление шин *MCA* и *EISA*.

В 1985 году, фирма Intel разработала 32 разрядный **80386** процессор, который увидел свет *в конце 1986 года*.

Появилась насущная необходимость в 32 разрядной шине ввода/вывода.

Вместо того, что бы продолжить дальнейшую разработку ISA, в IBM создали новую шину *MCA (Micro Channel Architecture* – микроканальная архитектура), которая во всех отношениях превосходила свою предшественницу:

- Был использован *арбитр шины* *CACP (Central Arbitration Control Point)*, который позволял любому подключенному к шине устройству передавать данные любому другому устройству, так же подключенному к этой шине.
- Кроме этого, *CACP предотвращал конфликты и монополизацию шины* каким-либо одним устройством.
- Шина *MCA не синхронизирована с процессором*, что позволяет снизить возможность лишних конфликтов и помех между платами.
- *Отсутствие переключателей и перемычек* свело установку плат расширения к простому, не требующему дополнительной квалификации, действию.

Данный стандарт умер, прожив весьма короткую жизнь:

во-первых фирма IBM потребовала от всех фирм–производителей, желающих использовать *MCA* заплатить деньги за использование *ISA* во всех ранее выпущенных компьютерах. Естественно IBM послали - куда подальше.

Во-вторых, компьютерный мир оказался попросту не готов принять **в 1987 году** подход **Plug and Play**.

В-третьих, цена первых *MCA* была очень высокой.

Все эти факторы привели к появлению шины *EISA*.

1.3.2 Шина EISA

EISA (*Extended Industry Standard Architecture*) – расширенная промышленная стандартная архитектура.

Диктатура IBM на рынке производства шин очень не нравилась представителям небезызвестной фирмы **Compaq**.

С несколькими фирмами – партнерами, **Compaq** создала комитет **EISA**, который занимался разработкой нового стандарта.

Уже в 1989 году появились первые персональные компьютеры, материнские платы которых были оснащены шиной EISA.

Основное ее отличие заключалось в 32 разрядной технологии, хотя и создавалась она на основе архитектуры все той же ISA: тактовая частота осталась прежней – 8,33 МГц.

Преимущества новой технологии очевидны:

- как и в шине **MCA**, используется арбитраж запросов **ISP (Integrated System Peripheral)**;
- **повысилась скорость** обмена данными;
- **мощность**, потребляемая каждым из адаптеров может достигать 45 Вт, при этом, была сохранена совместимость с платами, рассчитанными для работы с ISA;
- **скорость передачи данных** равнялась 33 Мбайт/сек;
- **была предусмотрена** возможность **автоматической настройки** прерываний и адресов адаптеров.

Но, к сожалению, и этот проект через короткое также ушел в историю. И, кстати, не без помощи самой же **Compaq**, которая как и **IBM** пыталась **урвать жирный кусок пирога**.

С повышением **тактовых частот** и **разрядности ЦП**, настала насущная проблема в повышении скорости передачи данных в шинах.

Какой смысл использовать ЦП с тактовой частотой, скажем, **66 МГц**, если шина работает на частоте лишь **8,33 МГц**.

В одних случаях, например, клавиатура или мышь, высокая скорость ни к чему. Но инженеры фирм, производителей плат расширения, готовы были изготавливать устройства со скоростью, которую шины не могли предоставить.

В результате, было принято решение, **для части операций** по обмену данными:

- **отказаться от передачи** через стандартные разъемы шины ввода/вывода;
- **ввести дополнительные высокоскоростные интерфейсы**, подключаемые к шине процессора, тогда подключаемые платы будут иметь доступ непосредственно к процессору, через его шину.

Такой проект получил название **LB (Local Bus)** – локальная шина.

Замечание

Между прочим, первые шины ISA как раз и были локальными, но когда их тактовая частота превысила **8 МГц**, произошло разделение.

1.3.3 VLB

В 1992 году появился еще один расширенный вариант ISA – **VLB (VESA Local Bus)**. **VLB** - локальная шина, которая только дополняет существующие стандарты.

Просто, к основным шинам добавилось несколько новых быстродействующих локальных слотов.

Популярность шины VLB продлилась **до 1994 года**.

Замечание

Кстати, **VESA** - *Video Electronic Standard Association*, - это ассоциация, которая совместно с фирмой NEC предложила новую, действительно локальную, шину.

Скорость передачи данных VLB равнялась 128 – 132 МБайт/сек.

Разрядность составляла – 32 бит.

Тактовая частота достигала 50 МГц, но реально не превышала 33 МГц в связи с частотными ограничениями самих слотов.

Дополнительные разъемы VLB имеют 116 контактов.

Основная функция, для которой была предназначена новая шина – **обмен данными с видеоадаптером**.

Шина имела ряд недостатков, которые не позволили ей долго просуществовать на рынке технологий.

Уже в 1992 году начались разработки новой локальной шины PCI.

1.3.4 Шина PCI

PCI (Peripheral Component Interconnect bus) – шина соединения периферийных компонентов.

В июне 1992 года на сцене появился новый стандарт – **PCI**, родителем которого была фирма Intel, а точнее организованная ею группа **Special Interest Group**.

К началу 1993 года появился модернизированный вариант **PCI**.

Замечание

По сути дела эта шина **не является локальной**. **Локальной шиной** называется та шина, которая подключена к системной шине напрямую.

PCI — шина, которая для подключения к системной шине использует:

- *Host Bridge* (главный мост);
- *Peer-to-Peer Bridge* (одноранговый мост), который предназначен для соединения двух шин **PCI**.
- *Кроме того*, - **PCI** сама является мостом между ISA и шиной процессора.

Появление шины PCI на рынке стало своеобразной *«маленькой революцией»* в развитии архитектуры ВК.

Тактовая частота PCI может быть равна или 33 МГц или 66 МГц.

Разрядность – 32 или 64 бит.

Скорость передачи данных – 132 Мбайт/сек или 264 Мбайт/сек.

Стандартом PCI предусмотрены *три типа плат*, в зависимости от питания:

- *5 Вольт* – для стационарных компьютеров;
- *3,3 Вольт* – для портативных компьютеров;
- *Универсальные платы*, которые могут работать с обоими типами напряжений.

Большим плюсом шины PCI является *удовлетворение спецификации Plug and Play*.

Кроме этого, в шине **PCI** любая передача сигналов происходит пакетным образом, где каждый пакет разбит на фазы:

- Начинается пакет с *фазы адреса*, за которой, как правило, следует один или несколько фаз данных.
- *Количество фаз данных* в пакете может быть неопределенно, но ограничено таймером, который определяет максимальное время, в течение которого устройство может использоваться шиной. Такой таймер имеет каждое подключенное устройство, а его значение может быть задано при конфигурировании.
- *Для организации работы* по передаче данных используется *арбитр*. Дело в том, что на шине могут находиться два типа устройств – мастер (*инициатор, хозяин, ведущий*) шины и *подчиненный*. Мастер берет на себя контроль за шиной и инициирует передачу данных к адресату, т.е. подчиненному устройству. Мастером или подчиненным может быть любое подключенное к шине устройство и иерархия эта постоянно меняется в зависимости от того, какое устройство запросило у арбитра шины разрешения на передачу данных и кому.

За бесконфликтную работу шины PCI отвечает чипсет, а точнее *South Bridge* (*Южный мост*).

1.3.5 Шина AGP

На PCI жизнь не остановила своего течения. Постоянное усовершенствование видеокарт привело к тому, что *физических параметров шины PCI* стало нехватать, что и привело к появлению **AGP**.

AGP (*Accelerated Graphics Port*) – ускоренный графический порт. На материнской плате этот порт существует *в единственном виде*. Ни физически, ни логически он *не зависит от PCI*.

Первый стандарт AGP 1.0 появился *в 1996 году*, благодаря инженерам фирмы **Intel**.

Этой спецификации соответствовала:

- тактовая частота **66,66** МГц;
- режим сигнализации **1x** и **2x**;
- напряжение равное **3,3** В.
- *Ширина AGP 1.0* – **32** бита.

Следующая версия, **AGP 2.0**, появилась на свет *в 1998 году* и имела:

- режимы сигнализации **2x** и **4x**;
- рабочее напряжение равное **1,5** В;
- скорость передачи данных – **533** Мбайт/сек (2x) и **1066** Мбайт/сек (4x).

Большим достижением AGP является то, что эта спецификация позволяет получить быстрый доступ к оперативной памяти, так как *шина является локальной*.

Замечание

А чего же это такое – 2x, 4x?

Основной (базовый) режим AGP называется **1x**. В этом режиме происходит одиночная передача данных за каждый цикл.

В режиме 2x, передача происходит два раза за цикл.

В режиме 4x, передача данных происходит четыре раза за каждый цикл. И так далее.

С **середины 2004 года**, началась массовая замена шины AGP на шину **PCI-express**. К **2006 году**, этот процесс перехода был, в целом, *завершен!*

Далее, кратко рассмотрим характеристики шины **PCI Express** (по материалам сайта: <http://www.ixbt.com/mainboard/pci-express.shtml>).

1.3.6 Шина PCI Express

PCI Express - последовательная системная шина общего назначения:

- на стадии проектирования была также известна как **3GIO** (*Ввод-вывод третьего поколения*) или по кодовому имени рабочей группы и проекта «*Arapahoe*», причем оба названия (3GIO и PCI Express) являются зарегистрированными торговыми марками **PCISIG**;
- **22 июля 2002 года** — опубликована базовая спецификация протокола и сигнального уровня, а также базовая спецификация на форм-фактор, энергопотребление карт и разъемы;
- представляет - совокупность независимых самостоятельных последовательных каналов передачи данных;
- сигнальный уровень 0.8 вольт; каждый канал состоит из двух дифференциальных сигнальных пар (необходимо только 4 контакта, см. рисунок 1.4):

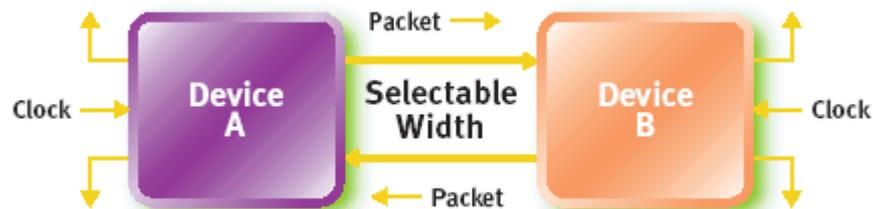


Рисунок 1.4 — Сигнальный уровень шины

- используется избыточное защищенное от помех кодирование — каждый байт при передаче представляется десятью битами;
- *пропускная способность* 2.5 Гигабита (250 МБ) в секунду для одного канала в каждом направлении одновременно (полный дуплекс), однако, следует учесть, что эффективная скорость передачи данных за вычетом избыточного кодирования составляет 2 Гигабита (200 МБ) ровно;
- *стандартизованы 1, 2, 4, 8, 16 и 32 канальные варианты* (до 6.4 эффективных Гигабайт в секунду соответственно, при передаче в одну сторону и вдвое больше при передаче в обоих направлениях); при передаче данных они передаются параллельно (но не синхронно) по всем доступным каналам, как показано на рисунке 1.5:

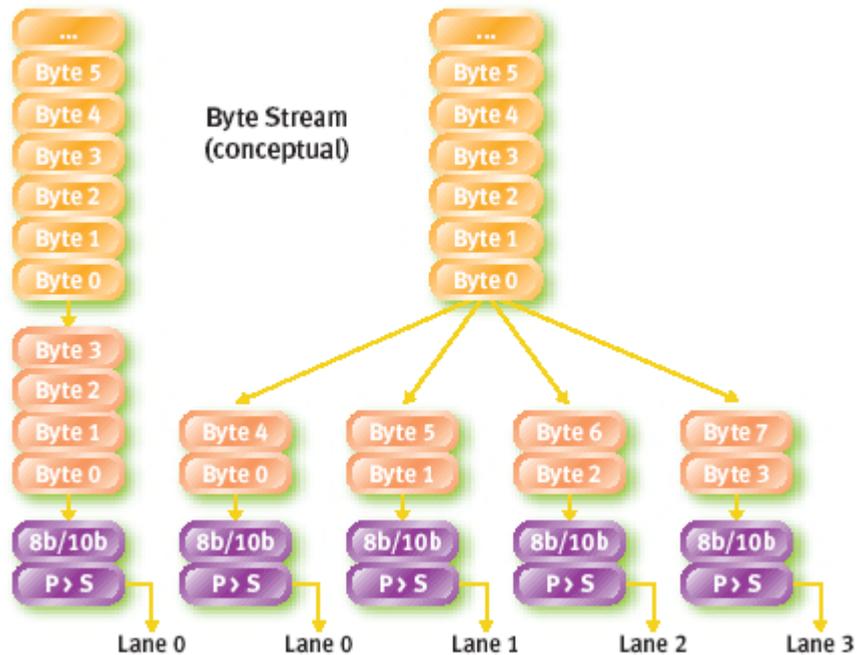


Рисунок 1.5 — Канальные варианты PCI-Express

- *вся контрольная информация* передается *по тем же линиям что и данные*, используется стек протоколов, из нескольких уровней, включая маршрутизацию данных, как показано на рисунке 1.6:

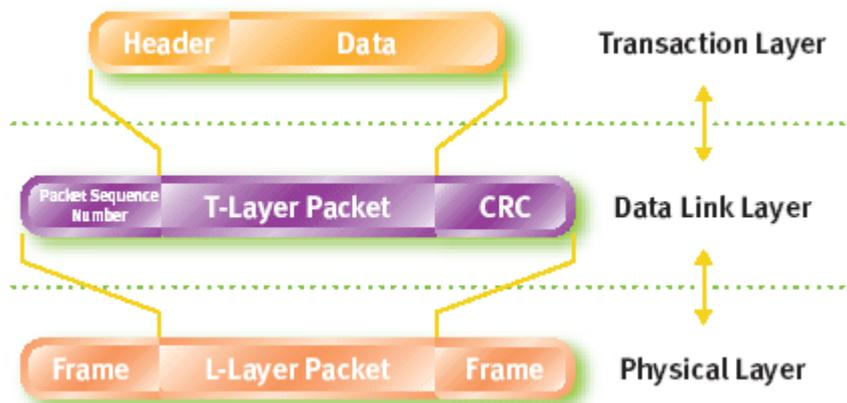


Рисунок 1.6 — Стек протоколов PCI-Express

- стандарт предусматривает и альтернативные носители сигнала, такие как оптические волноводы;
- *возможность динамического* подключения и конфигурации устройств;
- *возможность распознавания и использования* альтернативных протоколов обмена.

Простейший вариант использования *PCI-Express* для стандартных по архитектуре настольных систем выглядит так, как показано на рисунке 1.7:

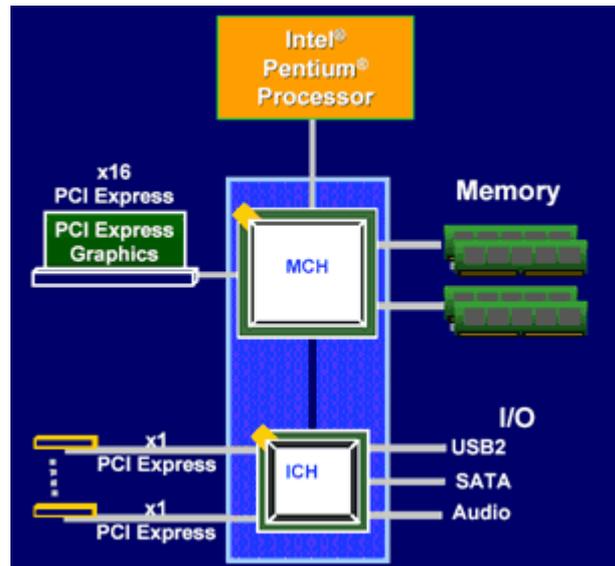


Рисунок 1.7 — Вариант использования PCI-Express

Ожидается вполне оправданным объединение северного южного мостов. Например, - классический PC с двумя мостами, показанный на рисунке 1.8:

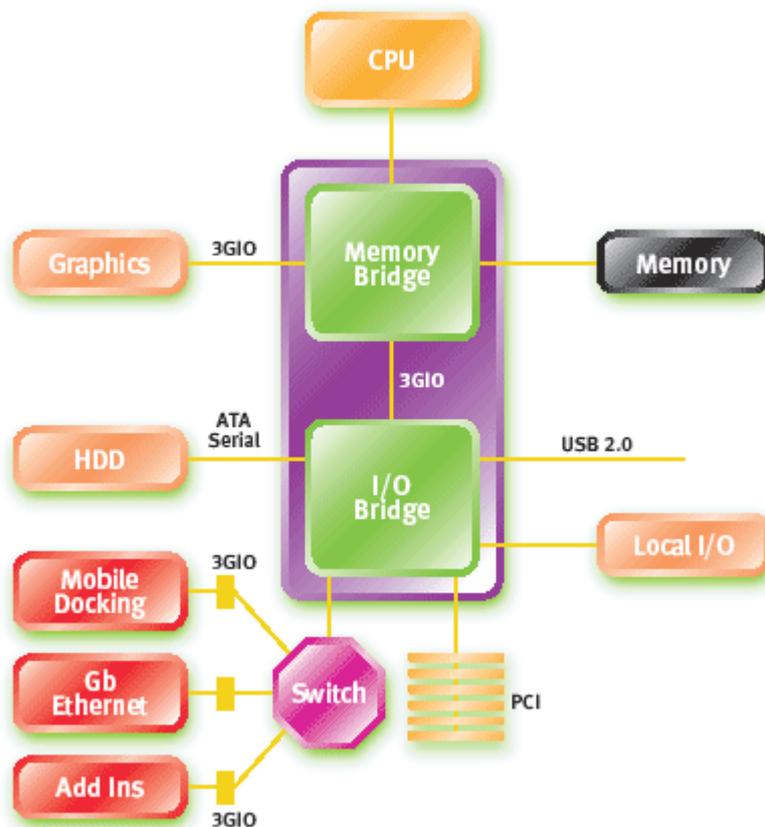


Рисунок 1.8 — Перспективная архитектура материнской платы ЭВМ

Более обобщенная (серверная) архитектура с одним мостом (рис. 1.9):

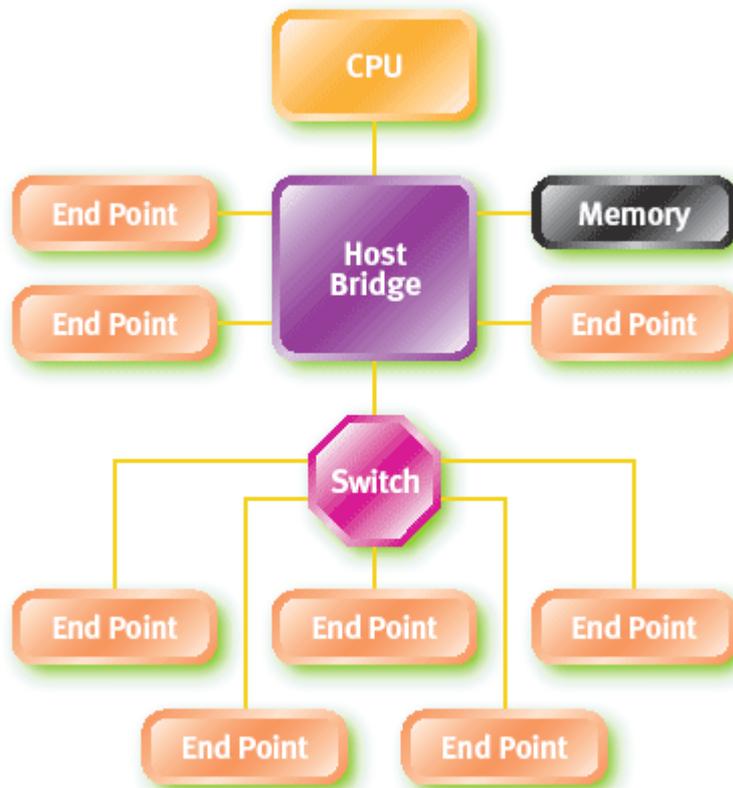


Рисунок 1.9 — Серверная архитектура ЭВМ с одним мостом

Архитектура *мощного сервера* показана на рисунке 1.10:

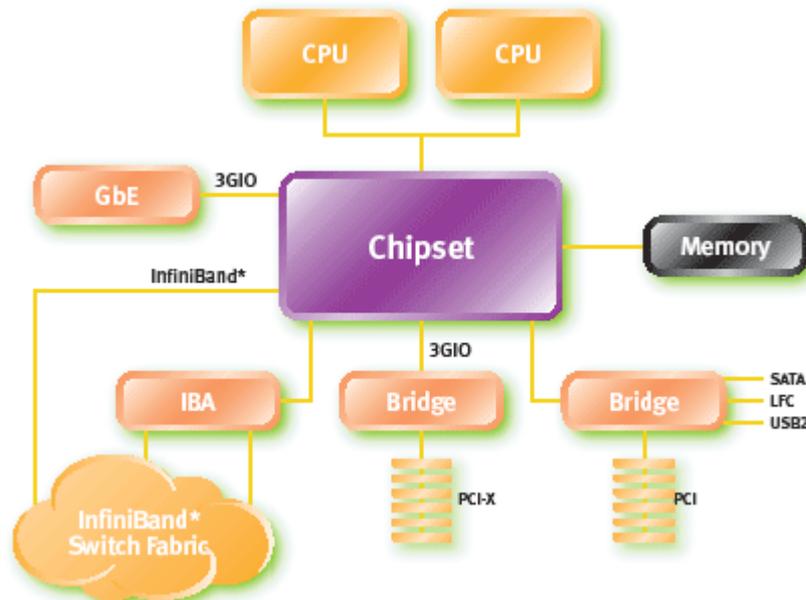


Рисунок 1.10 — Мощная архитектура сервера

Архитектура *производительного сетевого роутера* показана на рисунке 1.11:

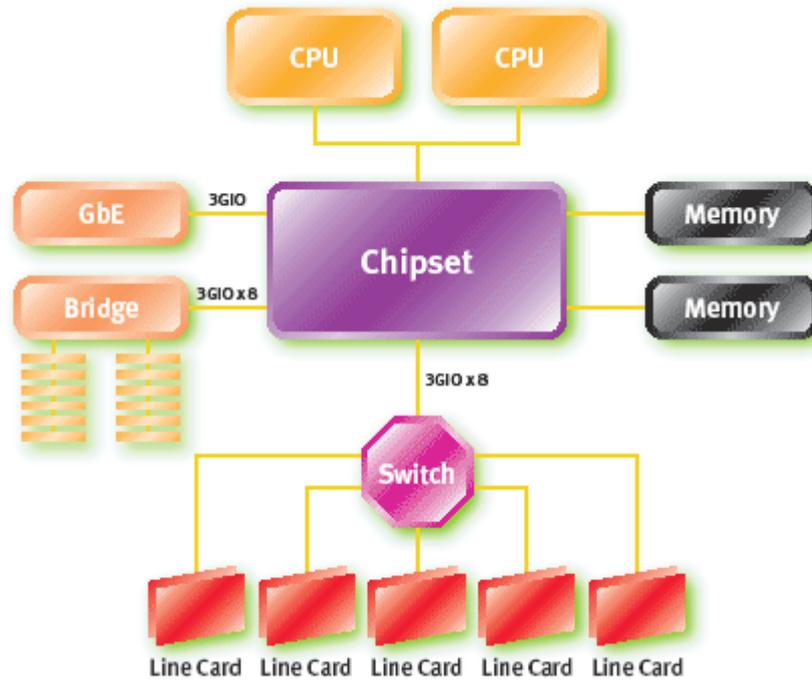


Рисунок 1.11

Список использованных источников

1. Резник В.Г. Архитектура вычислительных комплексов. Самостоятельная и индивидуальная работа студента. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 13 с.
2. Резник В.Г. Учебный программный комплекс кафедры АСУ на базе ОС ArchLinux. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 38 с.

Учебное издание

Резник Виталий Григорьевич

АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ

Учебно-методическое пособие предназначено для изучения темы №4 по дисциплине «Архитектура вычислительных комплексов» для студентов уровня основной образовательной программы магистратура направления подготовки: 09.04.01 «Информатика и вычислительная техника».

Учебно-методическое пособие

Усл. печ. л. . Тираж . Заказ .
Томский государственный университет
систем управления и радиоэлектроники
634050, г. Томск, пр. Ленина, 40