

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ**

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ»

Кафедра автоматизированных систем управления (АСУ)

УТВЕРЖДАЮ

Зав. кафедрой АСУ, профессор



А.М. Корилов

АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ

Тема 5. Архитектура памяти ЭВМ

Учебно-методическое пособие

для студентов уровня основной образовательной программы: **магистратура**
направление подготовки: **09.04.01 - Информатика и вычислительная техника**

Разработчик
доцент кафедры АСУ

В.Г. Резник

Резник В.Г.

Архитектура вычислительных комплексов. Тема 5. Архитектура памяти ЭВМ. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 21 с.

Учебно-методическое пособие предназначено для изучения темы №5 по дисциплине «Архитектура вычислительных комплексов» для студентов уровня основной образовательной программы магистратура направления подготовки: 09.04.01 «Информатика и вычислительная техника».

Оглавление

Введение	4
1 Тема 5. Архитектура памяти ЭВМ	5
1.1 Специальные виды архитектур ЭВМ.....	5
1.1.1 <i>Два подхода к реализации архитектуры процессора</i>	6
1.2 Устройства основной памяти (ОП).....	9
1.2.1 <i>Характеристики систем памяти</i>	9
1.2.2 <i>Основная память</i>	12
1.2.3 <i>Оперативные запоминающие устройства</i>	13
1.2.3 <i>Статические ОЗУ</i>	14
1.2.4 <i>Динамические ОЗУ</i>	15
1.2.4 <i>Постоянные запоминающие устройства</i>	18
1.2.4.1 <i>Микросхемы EPROM</i>	18
1.2.4.2 <i>Микросхемы EEPROM</i>	19
1.2.4.3 <i>Флэш-память</i>	19
Список использованных источников	20

Введение

Данное методическое пособие содержит учебный материал по пятой теме дисциплины *«Архитектура вычислительных комплексов»*.

Изложенный материал является обязательной частью процесса обучения магистранта по направлению подготовки 09.04.01 «Информатика и вычислительная техника» и содержит теоретическую часть, шинной архитектуре ЭВМ.

Последовательность и тематическая направленность учебного материала данного пособия предполагает, что магистрант успешно освоил теоретический материал по первым четырем темам дисциплины.

Весь теоретический материал данного пособия представлен одним разделом, в подразделах которого рассматриваются следующие вопросы:

- Специальные виды архитектур ЭВМ.
- Два подхода к реализации архитектуры процессора.
- Устройства основной памяти.
- Статические ЗУ.
- Динамические ЗУ.
- Постоянные запоминающие устройства.

Изложение теоретической части данного пособия объявлено по теме *«Архитектура памяти ЭВМ»*, которое рассчитано на 2 академических часа.

Лабораторных работ по данной теме - не предусмотрено.

1 Тема 5. Архитектура памяти ЭВМ

Характеристики Устройств ОП. Статические и динамические устройства ОП. Блочная организация ОП, расслоение памяти.

Доступ к ОП: последовательный, конвейерный, страничный. Постоянные запоминающие устройства.

1.1 Специальные виды архитектур ЭВМ

Наряду с архитектурой ЭВМ, используемой для универсальных вычислений, достаточно интенсивно развиваются специальные архитектуры ориентированные на *цифровую обработку сигналов* [1].

Такая обработка, естественным образом, выполняется с помощью микропроцессоров, общая классификация которых показана на рисунке 1.1.

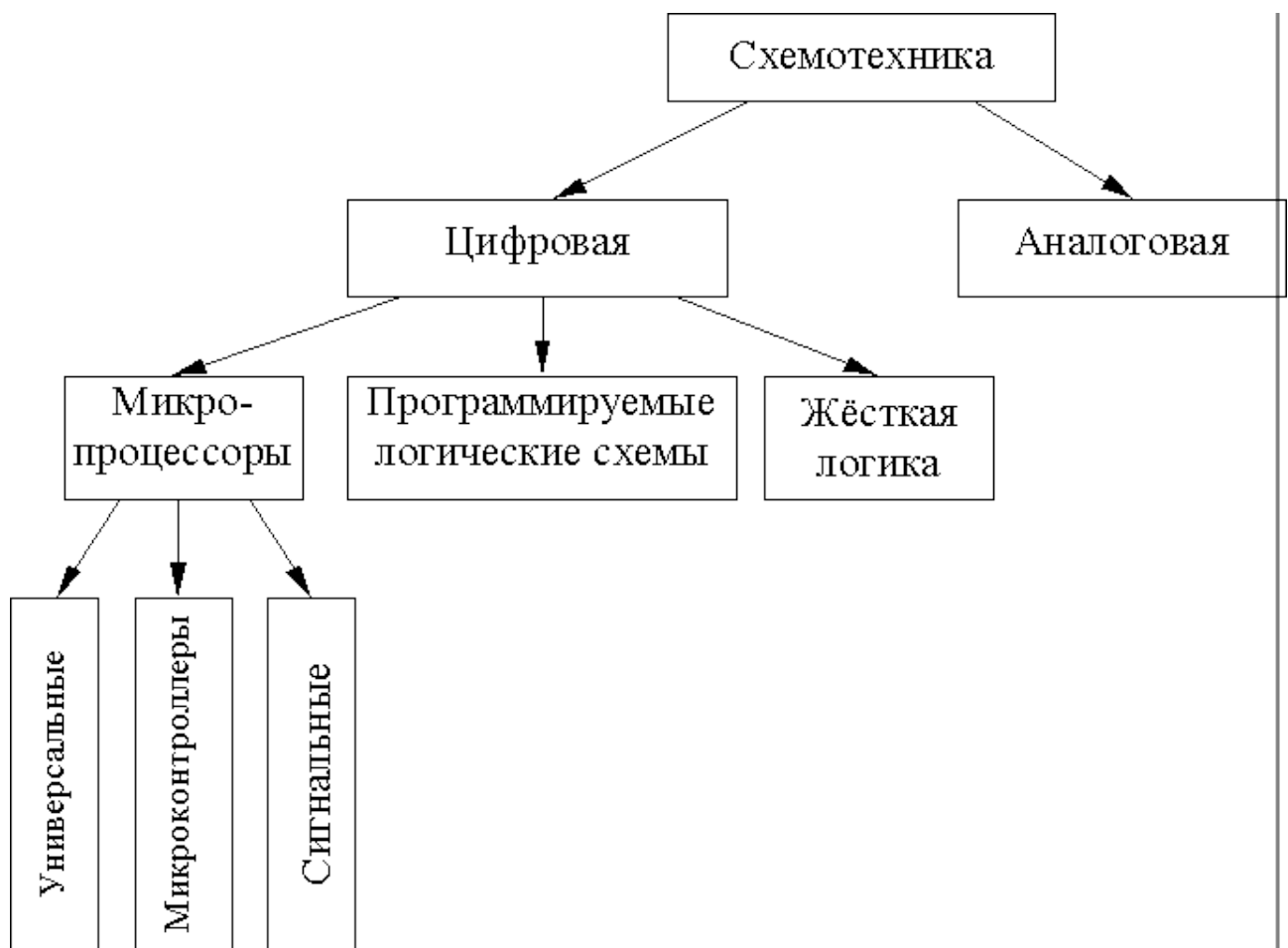


Рисунок 1.1 — Общая классификация микропроцессоров

При создании цифровых устройств *на базе сигнальных микропроцессоров* учитываются особенности решаемых задач, что отражается и на особенностях их архитектуры.

Среди основных задач, которые приходится решать при обработке сигналов, следует выделить следующие:

- *суммирование* нескольких сигналов;
- *перенос спектра* сигналов;
- *фильтрация* сигналов;
- *вычисление спектра* сигнала - быстрое преобразование Фурье;
- *помехоустойчивое кодирование* - подавление шума для аналоговых систем связи;
- *формирование кадров* - для цифровых систем связи;
- *скремблирование сигнала* - формирование одинаковой вероятности передачи нулей и единиц.

Замечание

Последние три задачи решаются на низкой частоте микропроцессора, поэтому для реализации такой обработки требуется лишь небольшая часть производительности процессора.

Наибольшая производительность процессора требуется при обработке *высоко-частотных сигналов*.

Это обусловлено малым временем между соседними отсчетами сигнала и, за один и тот же промежуток времени, требуется большее количество простых операций.

Как следствие, для увеличения быстродействия, требуются архитектуры процессоров, отличные от классической архитектуры фон-Неймана.

1.1.1 Два подхода к реализации архитектуры процессора

При реализации микропроцессоров традиционно используется *два подхода* к построению архитектуры:

- Архитектура *фон Неймана*;
- *Гарвардская* архитектура.

В архитектуре фон Неймана применяется *однородная память микропроцессора*.

В эту память могут записываться различные программы.

При этом, специальная программа-загрузчик работает с ними как с данными.

Затем, управление может быть передано этим программам и они уже начинают выполнять свой алгоритм.

Преимущество

При подобном подходе к управлению микропроцессором удается достигнуть *максимальной гибкости* микропроцессорной системы.

Недостаток

В качестве недостатка архитектуры фон Неймана можно назвать:

- *возможность непреднамеренного нарушения работоспособности системы* - программные ошибки;
- *преднамеренное уничтожение ее работы* - вирусные атаки.

В Гарвардской архитектуре принципиально различаются *два вида памяти* микропроцессора, показанные на рисунке 1.2:

- *Память программ* - для хранения инструкций микропроцессора;
- *Память данных* - для временного хранения и обработки переменных;



Рисунок 1.2 — Структурная схема гарвардской архитектуры

В гарвардской архитектуре *принципиально невозможно осуществить операцию записи в память программ*, что исключает возможность случайного разрушения управляющей программы в случае ошибки программы при работе с данными или атаки третьих лиц.

Кроме того, для работы с памятью программ и с памятью данных *организуются отдельные шины обмена данными (системные шины)*, как это показано на рисунке 1.2.

Эти особенности определили области применения гарвардской архитектуры: *микроконтролеры* и *сигнальные процессоры*, где требуется обеспечить высокую надежность работы аппаратуры.

В сигнальных процессорах Гарвардская архитектура дополняется применением трехшинного операционного блока микропроцессора, как показано на рисунке 1.3.

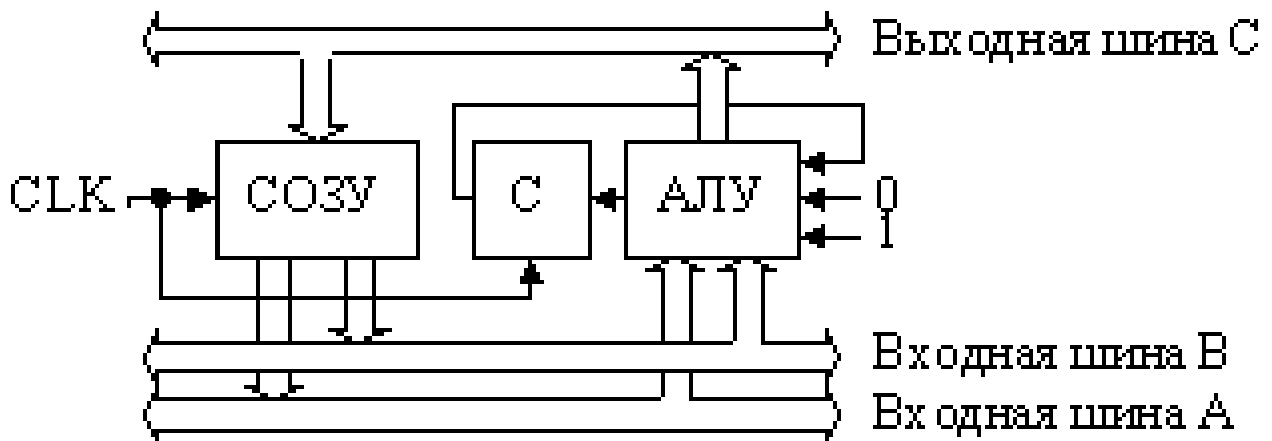


Рисунок 1.3 — Трехшинная архитектура операционного блока микропроцессора

Трехшинная архитектура операционного блока позволяет *совместить операции считывания двух операндов* с записью результата выполнения команды в оперативную память микропроцессора.

Это - значительно увеличивает производительность сигнального микропроцессора *без увеличения его тактовой частоты*.

В Гарвардской архитектуре характеристики устройств *памяти программ* и *памяти данных* не всегда выполняются одинаковыми:

- В памяти данных и команд могут различаться *разрядность шины данных* и *распределение адресов памяти*.
- Часто *адресные пространства* памяти программ и памяти данных выполняются различными. Это приводит к различию разрядности шины адреса для этих видов памяти.

В микроконтроллерах память программ обычно реализуется в виде *постоянного запоминающего устройства*, а память данных — в виде ОЗУ.

В сигнальных процессорах память программ вынуждены выполнять в виде ОЗУ. Это связано с более высоким быстродействием оперативного запоминающего устройства, однако при этом в процессе работы *осуществляется защита от записи в эту область памяти*.

Замечание

Применение *двух системных шин* для обращения к памяти программ и памяти данных, в гарвардской архитектуре, имеет два недостатка - *высокую стоимость* и *большое количество внешних выводов* микропроцессора. При использовании двух шин для передачи команд и данных, микропроцессор должен иметь почти вдвое больше выводов, так как шина адреса и шина данных составляют основную часть выводов микропроцессора.

Для уменьшения количества выводов кристалла микропроцессора фирмы-производители микросхем объединили шины данных и шины адреса для внешней памяти данных и программ, оставив только различные сигналы управления (*WR, RD, IRQ*), а внутри микропроцессора сохранили классическую гарвардскую архитектуру. Такое решение получило название *модифицированная гарвардская архитектура*.

Модифицированная гарвардская архитектура применяется в современных микросхемах сигнальных процессоров.

Еще далее, по пути уменьшения стоимости кристалла, за счет уменьшения площади, занимаемой системными шинами, пошли *производители однокристальных ЭВМ* - микроконтроллеров. В этих микросхемах применяется *одна системная шина* для передачи команд и данных внутри кристалла (*модифицированная гарвардская архитектура*).

В сигнальных процессорах для реализации таких алгоритмов, как *быстрое преобразование Фурье* и *цифровая фильтрация*, часто требуется еще большее количество внутренних шин.

Обычно применяются две шины для чтения данных, одна шина для записи данных и одна шина для чтения инструкций.

Подобная структура микропроцессора получила название *расширенной гарвардской архитектуры*.

Этот подход практикуют производители сигнальных процессоров — фирмы:

- *Analog Devices* - семейства сигнальных процессоров BlackFin и Tiger Shark;
- *Texas Instruments* - семейства сигнальных процессоров C5000™ DSPs и C6000™ DSPs;
- *Freescale* - семейства сигнальных процессоров MSC8251 и DSP56K.

1.2 Устройства основной памяти (ОП)

В любой ВМ, вне зависимости от ее архитектуры, программы и данные хранятся в памяти.

Функции памяти обеспечиваются запоминающими устройствами (ЗУ), предназначенными для фиксации, хранения и выдачи информации в процессе работы ЭВМ:

- *Процесс фиксации* информации в ЗУ называется *записью*;
- *процесс выдачи* информации — *чтением* или *считыванием*;
- *совместно* их определяют как *процессы обращения к ЗУ*.

1.2.1 Характеристики систем памяти

Перечень основных характеристик, которые необходимо учитывать, рассматривая конкретный вид ЗУ, включает в себя:

- место расположения;
- емкость;
- единицу пересылки;
- метод доступа;
- быстродействие;
- физический тип;
- физические особенности;
- стоимость.

По месту расположения ЗУ разделяют на:

- процессорные;
- внутренние;
- и внешние.

Наиболее скоростные виды памяти: *регистры* и *кэш-память первого уровня*, обычно размещают на общем кристалле с центральным процессором, а *регистры общего назначения вообще считаются частью ЦП*.

Внутреннюю память образуют ЗУ, расположенные *на системной плате*.

К внутренней памяти относят основную память, а также кэш-память второго и последующих уровней: кэш-память второго уровня может также размещаться на кристалле процессора.

Медленные ЗУ большой емкости - *магнитные и оптические диски, магнитные ленты* называют внешней памятью, поскольку к ядру ЭВМ они подключаются аналогично устройствам ввода/вывода.

Емкость ЗУ характеризуют числом битов либо байтов, которое может храниться в запоминающем устройстве.

На практике применяются более крупные единицы, а для их обозначения к словам «бит» или «байт» добавляют приставки: *кило, мега, гига, тера, пета, экза* (kilo, mega, giga, tera, peta, exa).

Стандартно, эти приставки означают умножение основной единицы измерений на 10^3 , 10^6 , 10^9 , 10^{12} , 10^{15} и 10^{18} соответственно.

В вычислительной технике, ориентированной на двоичную систему счисления, они соответствуют значениям достаточно близким к стандартным, но представляющим собой целую степень числа 2, то есть 2^{10} , 2^{20} , 2^{30} , 2^{40} , 2^{50} , 2^{60} .

Во избежание разночтений, ведущие международные организации по стандартизации, например *IEEE (Institute of Electrical and Electronics Engineers)*, предлагают ввести новые обозначения, добавив к основной приставке слово *binary* (бинарный): *kilobinary, megabinary, gigabinary, terabinary, petabinary, exabinary*.

В результате, вместо термина «*килобайт*» предлагается термин «*киби-байт*», вместо «*мегабайт*» — «*мебибайт*» и т. д.

Для обозначения новых единиц предлагаются сокращения: *Ki, Mi, Gi, Ti, Pi и Ei*.

Важной характеристикой ЗУ является *единица пересылки*.

Для основной памяти (ОП) единица пересылки определяется *шириной шины данных*, то есть количеством битов, передаваемых по линиям шины параллельно.

Обычно, единица пересылки равна *длине слова*, но не обязательно.

Применительно к внешней памяти, данные часто передаются единицами, превышающими размер слова, и такие единицы называются *блоками*.

При оценке быстродействия, необходимо учитывать применяемый в данном типе ЗУ *метод доступа* к данным.

Различают *четыре основных метода доступа*:

- **Последовательный доступ.** ЗУ с последовательным доступом ориентировано на хранение информации в виде последовательности блоков данных, называемых записями. Для доступа к нужному элементу необходимо прочитать все предшествующие ему данные. Время доступа зависит от положения требуемой записи в последовательности записей на носителе информации и позиции элемента внутри данной записи. Примером может служить *ЗУ на магнитной ленте*.
- **Прямой доступ.** Каждая запись имеет уникальный адрес, отражающий ее физическое размещение на носителе информации. Обращение осуществляется как *адресный доступ к началу записи*, с последующим последовательным доступом к определенной единице информации внутри записи. В результате время доступа к определенной позиции является величиной переменной. Такой режим характерен *для магнитных дисков*.
- **Произвольный доступ.** Каждая ячейка памяти имеет уникальный физический адрес. Обращение к любой ячейке занимает одно и то же время и может производиться в произвольной очередности. Примером могут служить запоминающие устройства *основной памяти*.
- **Ассоциативный доступ.** Этот вид доступа позволяет выполнять поиск ячеек, содержащих такую информацию, в которой значение отдельных битов совпадает с состоянием одноименных битов в заданном образце. *Сравнение осуществляется параллельно* для всех ячеек памяти, независимо от ее емкости. По ассоциативному принципу построены некоторые *блоки кэш-памяти*.

Быстродействие ЗУ является одним из важнейших его показателей. Для количественной оценки быстродействия обычно используют три параметра:

- **Время доступа (T_d).** Для памяти с произвольным доступом оно соответствует интервалу времени от момента поступления адреса до момента, когда данные заносятся в память или становятся доступными. В ЗУ с подвижным носителем информации — это время, затрачиваемое на установку головки записи/считывания (или носителя) в нужную позицию.
- **Длительность цикла памяти** или **период обращения ($T_{ц}$).** Понятие применяется к памяти с произвольным доступом, для которой оно означает *минимальное время между двумя последовательными обращениями к памяти*. Период обращения включает в себя время доступа плюс некоторое дополнительное время. Дополнительное время может требоваться для затухания

сигналов на линиях, а в некоторых типах ЗУ, где *считывание информации приводит к ее разрушению*, — для восстановления считанной информации.

- **Скорость передачи.** Это скорость, с которой данные могут передаваться в память или из нее. Для памяти с произвольным доступом она равна $1/\Gamma_{\text{ц}}$. Для других видов памяти скорость передачи определяется соотношением:

$$T_N = T_A + \frac{N}{R},$$

где T_N — среднее время считывания или записи N битов;

T_A — среднее время доступа;

R — скорость пересылки в битах в секунду.

В физическом плане, ЗУ подразделяются на *три технологии*:

- 1) *полупроводниковая* память;
- 2) память *с магнитным носителем* информации, используемая в магнитных дисках и лентах;
- 3) память *с оптическим носителем* — оптические диски.

В зависимости от технологии следует учитывать и ряд *физических особенностей* ЗУ, например *энергозависимость*:

В энергозависимой памяти информация может быть искажена или потеряна при отключении источника питания.

В энергонезависимых ЗУ записанная информация сохраняется и при отключении питающего напряжения.

Примеры:

- 1) Магнитная и оптическая память — энергонезависимы.
- 2) Полупроводниковая память может быть как энергозависимой, так и нет, в зависимости от ее типа.
- 3) *Помимо энергозависимости* нужно учитывать, приводит ли считывание информации к ее разрушению.

1.2.2 Основная память

Основная память (ОП) представляет собой единственный вид памяти, к которой ЦП может обращаться непосредственно - исключение составляют лишь регистры центрального процессора.

Замечание

Информация, хранящаяся на внешних ЗУ, становится доступной процессору только после того, как будет переписана в основную память.

Основную память образуют запоминающие устройства с *произвольным доступом*. Такие ЗУ образованы как массив ячеек.

«*Произвольный доступ*» означает, что обращение к любой ячейке *занимает одно и то же время* и может производиться в произвольной последовательности.

Каждая ячейка содержит фиксированное число запоминающих элементов и имеет уникальный адрес, позволяющий различать ячейки при обращении к ним для выполнения операций записи и считывания.

Основная память может включать в себя *два типа устройств*:

- *оперативные* запоминающие устройства (ОЗУ)
- *постоянные* запоминающие устройства (ПЗУ).

Преимущественную долю основной памяти образует ОЗУ.

Такое ОЗУ называется оперативным, потому что оно допускает как запись, так и считывание информации, причем обе операции выполняются однотипно, практически с одной и той же скоростью, и производятся с помощью электрических сигналов.

В англоязычной литературе ОЗУ соответствует аббревиатура **RAM** — *Random Access Memory*, то есть «память с произвольным доступом».

Это не совсем корректно, поскольку памятью с произвольным доступом являются также ПЗУ и регистры процессора.

Для большинства типов полупроводниковых ОЗУ характерна энергозависимость - даже при кратковременном прерывании питания хранимая информация теряется.

Микросхема ОЗУ должна быть *постоянно подключена к источнику питания* и поэтому может использоваться только как временная память.

Вторую группу полупроводниковых ЗУ основной памяти образуют энергонезависимые микросхемы ПЗУ (**ROM** — *Read-Only Memory*).

ПЗУ обеспечивает считывание информации, но не допускает ее изменения.

В ряде случаев, информация в ПЗУ может быть изменена, но этот процесс сильно отличается от считывания и требует значительно большего времени.

1.2.3 Оперативные запоминающие устройства

Большинство из применяемых в настоящее время типов микросхем ОП являются *энергозависимыми (volatile memory)*.

Широкое распространение таких устройств связано с рядом их достоинств по сравнению с энергонезависимыми типами ОЗУ (*non-volatile memory*):

- *большой емкостью*;
- *низким энергопотреблением*;
- *более высоким быстродействием*;
- *невысокой себестоимостью* хранения единицы информации.

Энергозависимые ОЗУ можно подразделить на *две основные подгруппы*:

- динамическую память (DRAM — *Dynamic Random Access Memory*);
- статическую память (SRAM — *Static Random Access Memory*).

В статических ОЗУ запоминающий элемент может *хранить записанную информацию неограниченно долго*, при наличии питающего напряжения.

Запоминающий элемент динамического ОЗУ способен хранить информацию только *в течение достаточно короткого промежутка времени*, после которого информацию нужно восстанавливать заново, иначе она будет потеряна.

1.2.3 Статические ОЗУ

Запоминающим элементом в статическом ОЗУ является *триггер*.

Статические ОЗУ — *наиболее быстрый*, но и *наиболее дорогостоящий* вид оперативной памяти.

Известно много различных вариантов реализации SRAM, показанных на рисунке 1.4, которые отличаются по технологии, способам организации и сфере применения.

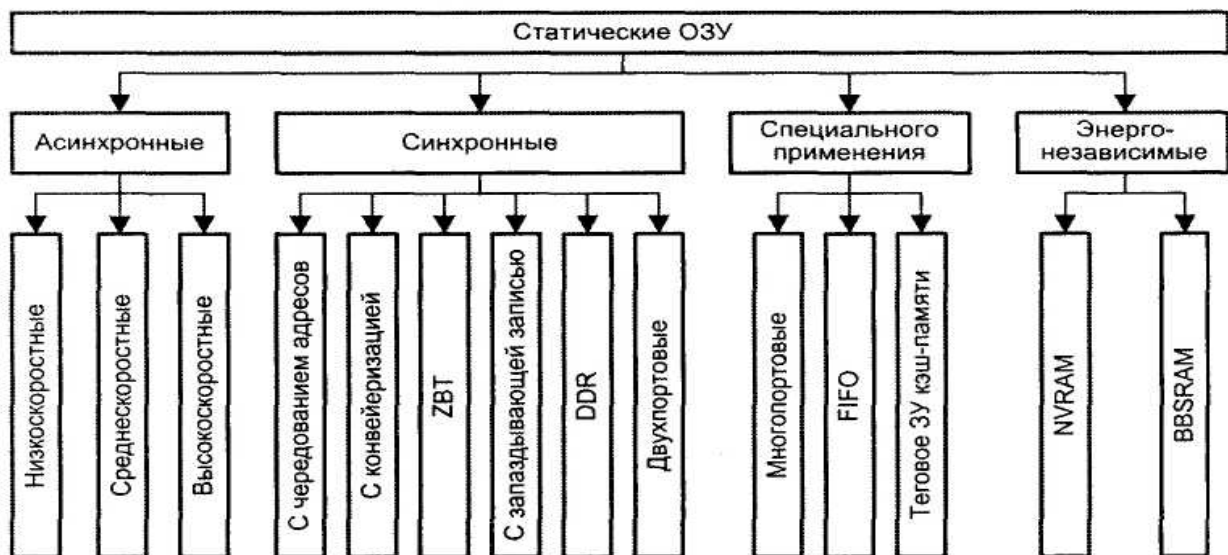


Рисунок 1.4 - Виды статических ОЗУ

Асинхронные статические ОЗУ.

Асинхронные статические ОЗУ применялись в кэш-памяти второго уровня задолго до появления микропроцессора i80386.

Для таких ИМС время доступа составляло 15-20 нс (в лучшем случае — 12 нс).

Это не позволяло кэш-памяти второго уровня работать в темпе процессора.

Синхронные статические ОЗУ.

В рамках данной группы статических ОЗУ выделяют:

- ИМС типа SSRAM;
- и более совершенные PB SRAM (*Pipelined Burst SRAM*).

В *PB SRAM* реализована *внутренняя конвейеризация*, за счет которой скорость обмена пакетами данных возрастает примерно вдвое.

Память данного типа хорошо работает при повышенных частотах системной шины.

Время доступа к *PB SRAM* составляет от 4,5 до 8 нс.

При этом формула 3-1-1-1 сохраняется даже при частоте системной шины 133 МГц.

Замечание

Важным моментом, характеризующим *SRAM*, является технология записи.

Известны два варианта записи:

- стандартная;
- и запаздывающая.

В *стандартном режиме*, адрес и данные выставляются на соответствующие шины в одном и том же такте.

В *режиме запаздывающей записи*, данные для нее передаются в следующем такте после выбора адреса нужной ячейки. Это напоминает режим конвейерного чтения, когда данные появляются на шине в следующем такте.

Оба варианта позволяют записывать данные *с частотой системной шины*.

Различия сказываются только при переключении между операциями чтения и записи.

1.2.4 Динамические ОЗУ

Динамической памяти в вычислительной машине значительно больше, чем статической, поскольку именно *DRAM* используется в качестве основной памяти ЭВМ.

Как и SRAM, динамическая память состоит:

- *из ядра* или массива запоминающих элементов (ЗЭ);
- *и интерфейсной логики*: буферных регистров, усилителей чтения данных, схемы регенерации и других элементов.

В отличие от *SRAM* адрес ячейки *DRAM* передается в микросхему *за два шага*:

- вначале адрес столбца;
- а затем строки.

Это позволяет:

- *сократить* количество выводов шины адреса примерно вдвое;
- *уменьшить* размеры корпуса;
- *разместить* на материнской плате большее количество микросхем.

Замечание

Все это приводит к *снижению быстродействия*, так как для передачи адреса нужно вдвое больше времени.

Для указания, какая именно часть адреса передается в определенный момент, служат два вспомогательных сигнала *RAS* и *CAS*:

- При обращении к ячейке памяти *на шину адреса выставляется адрес строки*.
- После стабилизации процессов на шине подается *сигнал RAS* и адрес записывается во внутренний регистр микросхемы памяти.
- Затем на шину адреса выставляется адрес столбца и выдается *сигнал CAS*.

В зависимости от состояния линии WE производится чтение данных из ячейки или их запись в ячейку: данные перед записью должны быть помещены на шину данных.

Интервал между установкой адреса и выдачей сигнала RAS или CAS оговаривается техническими характеристиками микросхемы, но обычно адрес выставляется в одном такте системной шины, а управляющий сигнал — в следующем.

В общем случае, для чтения или записи одной ячейки динамического ОЗУ требуется *пять тактов*, в которых происходит соответственно:

- выдача адреса строки,
- выдача сигнала RAS,
- выдача адреса столбца,
- выдача сигнала CAS,
- выполнение операции чтения/записи (*в статической памяти процедура занимает лишь от двух до трех тактов*).

Замечание

Следует также помнить о необходимости регенерации данных.

Динамические ОЗУ построены на конденсаторах.

Потеря заряда конденсатора ЗЭ происходит по двум причинам:

- со временем - *естественная потеря заряда*;
- *при считывании данных* из DRAM.

Поэтому, после каждой операции чтения данные должны быть восстановлены.

Это достигается за счет повторной записи тех же данных сразу после чтения.

Замечание

При считывании информации из одной ячейки фактически *выдаются данные сразу всей выбранной строки*, но используются только те, которые находятся в интересующем столбце, а все остальные игнорируются.

Таким образом, операция чтения из одной ячейки приводит к разрушению данных всей строки, и их нужно восстанавливать.

Регенерация данных после чтения *выполняется автоматически интерфейсной логикой микросхемы*, и происходит это сразу же после считывания строки.

На рисунке 1.5 приведена классификация динамических ОЗУ, которые разделены на *системные*, используемые в качестве основной памяти ЭВМ, и для *видеоадаптеров*.

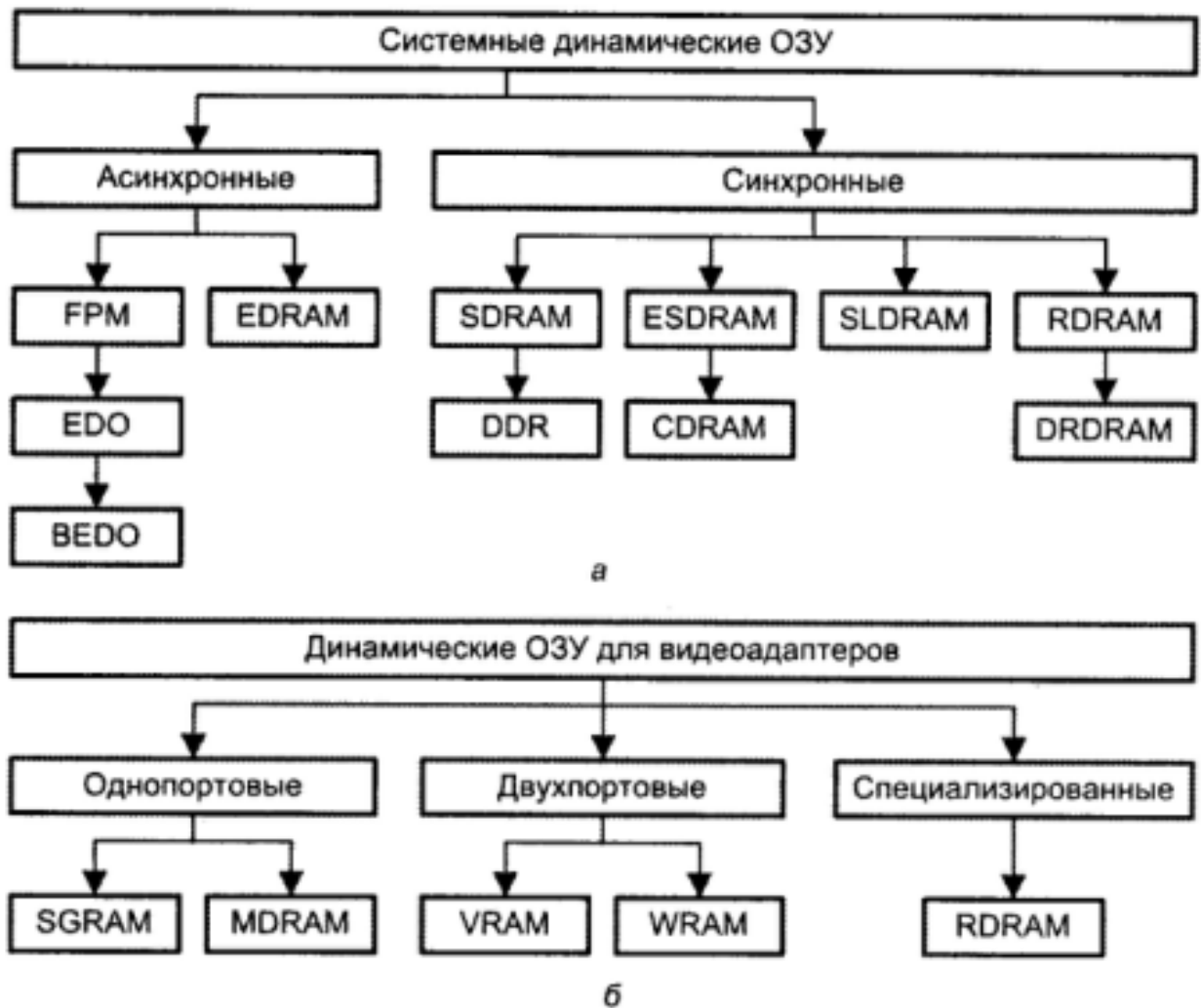


Рисунок 1.5 - Классификация динамических ОЗУ:

- а — микросхемы для основной памяти;
- б — микросхемы для видеоадаптеров

Асинхронные DRAM - системные микросхемы, работа которых жестко не привязана к тактовым импульсам системной шины.

Микросхемы асинхронных динамических ОЗУ в основном управляются сигналами **RAS** и **CAS**, и их работа в принципе *не связана непосредственно* тактовыми импульсами шины.

Асинхронной памяти свойственны дополнительные затраты времени на взаимодействие микросхем памяти и контроллера.

Так, в асинхронной схеме сигнал RAS будет сформирован только после поступления в контроллер тактирующего импульса и будет воспринят микросхемой памяти через некоторое время.

После этого, память выдаст данные, но контроллер сможет их считать только по приходу следующего тактирующего импульса, так как он должен работать синхронно с остальными устройствами ЭВМ.

Таким образом, на протяжении цикла чтения/записи *происходят небольшие задержки* из-за ожидания памятью контроллера и контроллером памяти.

В синхронных DRAM обмен информацией *синхронизируется внешними тактовыми сигналами* и происходит в строго определенные моменты времени, что позволяет взять все от пропускной способности шины «процессор-память» и избежать циклов ожидания.

Адресная и управляющая информация фиксируются памяти в ИМС.

После чего, ответная реакция микросхемы произойдет *через четко определенное число тактовых импульсов*, и это время процессор может использоваться для других действий, не связанных с обращением к памяти.

В случае синхронной динамической памяти вместо продолжительности цикла доступа говорят о *минимально допустимом периоде тактовой частоты*, и речь уже идет о времени *порядка 8-10 нс*.

1.2.4 Постоянные запоминающие устройства

Процедура программирования постоянных запоминающих устройств (ПЗУ) обычно предполагает два этапа:

- сначала производится *стирание содержимого всех или части ячеек*,
- а затем производится *запись новой информации*.

В этом классе ПЗУ выделяют несколько групп:

- EPROM - *Erasable Programmable ROM* — стираемые программируемые ПЗУ;
- EEPROM - *Electrically Erasable Programmable ROM* — электрически стираемые программируемые ПЗУ;
- *флэш-память*.

1.2.4.1 Микросхемы EPROM

В EPROM запись информации производится электрическими сигналами, так же как в PROM, однако перед операцией записи содержимое всех ячеек должно быть приведено к одинаковому состоянию (*стерто*) *путем воздействия на микросхему ультрафиолетовым облучением*.

Кристалл заключен в керамический корпус, имеющий небольшое кварцевое окно, через которое и производится облучение.

Чтобы предотвратить случайное стирание информации, после облучения кварцевое окно заклеивают непрозрачной пленкой.

Процесс стирания может выполняться многократно.

Каждое стирание занимает *порядка 20 мин*.

Данные хранятся в виде *зарядов плавающих затворов МОП-транзисторов*, играющих роль конденсаторов с очень малой утечкой заряда.

Заряженный ЗЭ соответствует *логическому нулю*, а разряженный — логической единице.

Программирование микросхемы происходит с использованием технологии инъекции горячих электронов.

Цикл программирования занимает *несколько сотен миллисекунд*.

1.2.4.2 Микросхемы EEPROM

Более привлекательным вариантом многократно программируемой памяти является электрически *стираемая программируемая постоянная память EEPROM*.

Стирание и запись информации в эту память производятся *побайтно*, причем стирание - не отдельный процесс, а лишь этап, происходящий автоматически при записи.

Операция записи занимает существенно больше времени, чем считывание — несколько сотен микросекунд на байт.

В микросхеме используется тот же принцип хранения информации, что и в микросхеме EPROM.

Программирование EEPROM не требует специального программатора и реализуется средствами самой микросхемы.

1.2.4.3 Флэш-память

Относительно новый вид полупроводниковой памяти — это *флэш-память*.

Название flash можно перевести как «вспышка молнии», что подчеркивает относительно высокую скорость перепрограммирования.

Впервые анонсированная в середине 80-х годов, флэш-память во многом похожа на EEPROM, но использует особую технологию построения запоминающих элементов.

Аналогично EEPROM, во флэш-памяти стирание информации производится электрическими сигналами, но не побайтово, а *по блокам или полностью*.

Замечание

Здесь следует отметить, что существуют микросхемы флэш-памяти *с разбивкой на очень мелкие блоки (страницы)* и автоматическим постраничным стиранием, что сближает их по возможностям с EEPROM.

Как и в случае с EEPROM, микросхемы флэш-памяти выпускаются в вариантах с *последовательным и параллельным доступом*.

По организации массива ЗЭ различают микросхемы типа:

- *Bulk Erase* — стирание допустимо только для всего массива ЗЭ;
- *Boot Lock* — массив разделен на несколько блоков разного размера, содержимое которых может очищаться независимо. У одного из блоков есть *аппаратные средства для защиты от стирания*;
- *Flash File* — массив разделен на несколько равноправных блоков одинакового размера, содержимое которых может стираться независимо.

Полностью содержимое флэш-памяти может быть очищено *за одну или несколько секунд*, что значительно быстрее, чем у EEPROM.

Программирование (запись) байта занимает время порядка 10 мкс, а время доступа при чтении составляет 35-200 нс.

Как и в EEPROM, используется только один транзистор на бит, благодаря чему достигается высокая плотность размещения информации на кристалле: *на 30% выше чем у DRAM*.

Список использованных источников

1. Резник В.Г. Архитектура вычислительных комплексов. Самостоятельная и индивидуальная работа студента. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 13 с.
2. Резник В.Г. Учебный программный комплекс кафедры АСУ на базе ОС ArchLinux. Учебно-методическое пособие. – Томск, ТУСУР, 2017. – 38 с.

Учебное издание

Резник Виталий Григорьевич

АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ КОМПЛЕКСОВ

Учебно-методическое пособие предназначено для изучения темы №5 по дисциплине «Архитектура вычислительных комплексов» для студентов уровня основной образовательной программы магистратура направления подготовки: 09.04.01 «Информатика и вычислительная техника».

Учебно-методическое пособие

Усл. печ. л. . Тираж . Заказ .
Томский государственный университет
систем управления и радиоэлектроники
634050, г. Томск, пр. Ленина, 40